

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-352238
 (43)Date of publication of application : 21.12.2001

(51)Int.CI. H03K 19/0175
 H03H 11/30

(21)Application number : 2001-103998 (71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 03.04.2001 (72)Inventor : KITAMURA HIROSHI

(30)Priority

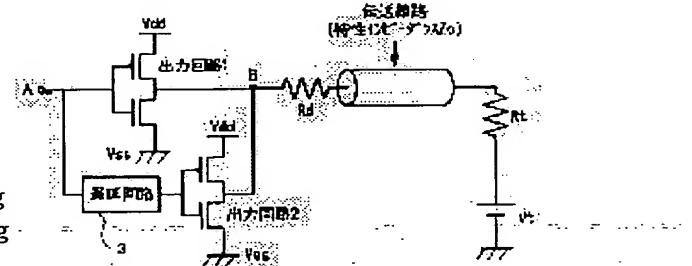
Priority number : 2000100146 Priority date : 03.04.2000 Priority country : JP

(54) CONSTANT IMPEDANCE DRIVER AND METHOD FOR DESIGNING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a constant impedance driver for maintaining output impedance characteristics constant in the case of an impedance mismatch to a load connected to an output terminal from the result that the output impedance characteristics (current-voltage characteristics of the output terminal) does not become constant when a constant impedance range of an output terminal voltage arrives at a saturated region in a constant impedance output circuit.

SOLUTION: An output circuit 2 having a switching timing delay mechanism made of a delay circuit 3 by connecting a plurality of output circuits 1 and 2 for supplying currents to an output terminal A of a former stage circuit is switched at timing when a current supplied from the output circuit 1 not having the switching timing delay mechanism having the circuit 3 arrives at the saturation region. Thus, it is possible to set the output impedance characteristic of an output terminal B to constant, and impedance matching to the load can be easily realized.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2001-352238
(P2001-352238A)

(43)公開日 平成13年12月21日(2001.12.21)

(51) Int.Cl.⁷

識別記号

FI
H03H 11/30
H03K 19/00

アーティスト（参考）

(21)出願番号 特願2001-103998(P2001-103998)
(22)出願日 平成13年4月3日(2001.4.3)
(31)優先権主張番号 特願2000-100146(P2000-100146)
(32)優先日 平成12年4月3日(2000.4.3)
(33)優先権主張国 日本(JP)

(71) 出願人 000005821
松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 喜多村 啓
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

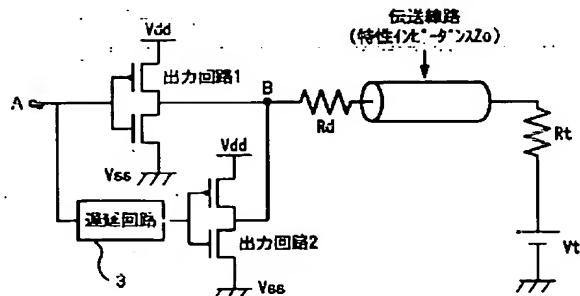
(74) 代理人 100068087
弁理士 森本 義弘

(54) 【発明の名称】 定インピーダンスドライバ回路及びその設計方法

(57) 【要約】

【課題】 定インピーダンス出力回路において、出力端電圧の定インピーダンス領域が飽和領域に達すると、出力インピーダンス特性（出力端子の電流－電圧特性）が一定でなくなり、出力端子に接続される負荷とのインピーダンス不整合に対して、出力インピーダンス特性が一定になる定インピーダンスドライバ回路を提供する。

【解決手段】 前段回路の出力端Aに、電流を供給する複数の出力回路1、2を接続し、遅延回路3からなるスイッチングタイミング遅延機構を設けた前記出力回路2は、前記スイッチングタイミング遅延機構を設けない前記出力回路1から供給される電流が飽和領域に達するタイミングでスイッチングする。これにより、出力端子Bの出力インピーダンス特性を一定にすることが可能で負荷とのインピーダンス整合を容易に実現できる。



【特許請求の範囲】

【請求項1】前段回路の出力端から電流を供給する複数の出力回路からなる定インピーダンスドライバ回路において、

前記複数の出力回路のうちの少なくとも1つ以上の出力回路に、その他の出力回路よりも電流を遅らせて出力するための遅延回路からなるスイッチングタイミング遅延機構を具備させ、前記遅延機構を具備する前記出力回路は、前記スイッチングタイミング遅延機構により、前記遅延機構を具備しない他の出力回路から供給される電流が飽和領域に達するタイミングでスイッチングして出力インピーダンス特性を一定にするように構成した定インピーダンスドライバ回路。

【請求項2】前段回路の出力端から電流を供給する複数の出力回路からなる定インピーダンスドライバ回路において、

前記複数の出力回路のうちの少なくとも1つ以上の出力回路に、その他の出力回路よりも電流を遅らせて出力するために、高電位にシフトする基準電位シフト機構を具備させ、

前記基準電位シフト機構を具備する出力回路は、前記基準電位シフト機構により、基準電位シフト機構を具備しない他の出力回路から供給される電流が飽和領域に達するタイミングでスイッチングして出力インピーダンス特性を一定にするように構成した定インピーダンスドライバ回路。

【請求項3】前段回路の出力端から電流を供給する複数の出力回路からなる定インピーダンスドライバ回路において、

前記複数の出力回路のうちの少なくとも1つ以上の前記出力回路に、その他の出力回路よりも電流を遅らせて出力するために、他の出力回路よりも負論理のしきい値を低電位にシフトし、正論理のしきい値電位を高電位にシフトするしきい値電位シフト機構を具備させ、

前記しきい値電位シフト機構を具備する出力回路は、前記しきい値電位シフト機構により、しきい値電位シフト機構を具備しない他の出力回路から供給される電流が飽和領域に達するタイミングでスイッチングして出力インピーダンス特性を一定にするように構成した定インピーダンスドライバ回路。

【請求項4】前段回路の出力端から電流を供給する複数の出力回路からなる定インピーダンスドライバ回路の設計方法において、

出力回路の出力端電流-電圧曲線を区分的線形を出し、この区分的線形に近似する直線を求めるステップと、前記ステップで求めた区分的線形に近似する直線から出力端電流-電圧曲線の区分点を割り出す区分点解析ステップと、

前記区分点解析ステップで割り出した区分点までの遅延時間を割り出す遅延時間解析ステップと、

前記遅延時間解析ステップで割り出された遅延時間が、前記スイッチングタイミング遅延機構からなる前記出力回路の遅延スイッチング時間と、前記スイッチングタイミング遅延機構を設けない前記出力回路のスイッチング時間との差分に等しい時間とするステップと、からなる定インピーダンスドライバ回路の設計方法。

【請求項5】遅延時間解析ステップで割り出された遅延時間が、前記基準電位シフト機構からなる前記出力回路の遅延スイッチング時間と、前記基準電位シフト機構を設けない前記出力回路のスイッチング時間との差分に等しい時間とするステップである請求項4に記載の定インピーダンスドライバ回路の設計方法。

【請求項6】遅延時間解析ステップで割り出された遅延時間が、前記しきい値電位シフト機構からなる前記出力回路の遅延スイッチング時間と、前記しきい値電位シフト機構を設けない前記出力回路のスイッチング時間との差分に等しい時間である請求項4に記載の定インピーダンスドライバ回路の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、負荷を駆動する定インピーダンスドライバ回路に関するものであり、特に高速・高周波信号伝送において、負荷とのインピーダンス整合を必要とする定インピーダンスドライバ回路及びその設計方法に関するものである。

【0002】

【従来の技術】従来一般に、用いられているMOSトランジスタを利用した出力回路を例にとって図面を参照して説明する。それぞれの図で同様な部分には同じ符号を用いているので説明を省略する。

【0003】高速・高周波信号を駆動する時には、信号伝送時における出力端での信号の反射ノイズを防ぐために、前記出力回路の出力インピーダンスは負荷とのインピーダンス整合を行う必要がある。図1は従来一般に用いられている出力回路を負荷である伝送線路に接続した図である。図2は図1のB点での出力電流-電圧特性である。図2のようにMOSトランジスタは電流の飽和領域(2)がある。この飽和領域(2)では、前記MOSトランジスタの出力インピーダンスが一定でなくなる特性を持つ。特に低電流タイプの前記出力回路ほど前記飽和領域に達する時間が早く、結果として前記出力インピーダンス値のばらつきが大きくなる。

【0004】前記出力回路と前記負荷とのインピーダンス整合手法としては、前記出力回路端である図1のR_dの位置にダンピング抵抗と呼ばれる抵抗R_dを挿入する手法が用いられる。前記ダンピング抵抗R_dの最適値は下記の式で求められるが、下記の式からわかるように出力インピーダンス値が動的に変化すると、前記ダンピング抵抗R_dも動的に変化させなければならず、前記出力回路と前記負荷とのインピーダンス整合が非常に困難と

なる。

〈ダンピング抵抗値を求める式〉

$$R_d = Z_o - R_p$$

$$R_d = Z_o - R_n$$

従来、このような前記出力回路と前記負荷とのインピーダンス不整合問題を解決するのに、MOSドライバ回路を定インピーダンス出力回路にする方法があった。

【0005】以下、従来の定インピーダンス出力回路について、第2の従来例（特開平5-267952）に基づいて説明する。図3は従来例で実現可能な前記定インピーダンス出力回路図である。この発明によると出力端Bにおける出力電流は、入力端Aからゲート・ソース間抵抗 R_{gS} を経由しても供給されることとなる。このような場合には、前記定インピーダンス出力回路を構成するMOSトランジスタが飽和領域に達するまでの出力インピーダンス、すなわち出力インピーダンス特性が一定である領域での値と、入力抵抗 R_{gt} とゲート・ソース間抵抗 R_{gS} を付加することによって出力端子B点での合成出力インピーダンスが異なることがある。

【0006】

【発明が解決しようとする課題】第1の問題点は、この第2の従来例では出力インピーダンス特性を一定にするために、出力回路のゲートからの電流、すなわち前段回路（図示せず）の電流を出力端Bに供給する必要があった。通常LSI内部に用いられる前段回路の出力回路の電流供給能力は、外部の負荷に電流を供給する前記出力回路の電流供給能力に比べてはるかに小さい。従って、出力端電流を前記LSI内部からの電流供給に依存する構造では、十分な電流が供給されない欠点がある。

【0007】第2の問題点は、出力端の電流供給量が前記出力回路の電流供給量とゲートからの電流供給量に依存するため、低電流タイプの前記出力回路を実現する時には、トランジスタサイズをより小さくする必要がある。一般に前記トランジスタサイズが小さくなればなるほど、出力端電流-電圧特性は飽和領域（2）に達するのが早くなり、その分ゲートからの電流供給量を増やす必要がある。しかし、前述したようにゲートからの電流供給は前記LSI内部の前記出力回路能力に依存する。よって、この第2の従来例の構造では前記低電流タイプの前記出力回路において、定インピーダンス性を実現しにくいという欠点がある。

【0008】本発明は上記従来の問題点を解決するため、前段回路の出力端に複数の出力回路を接続し、前記出力回路間のスイッチングタイミングを遅延させることで、前記出力回路の電流供給能力を変更することなく必要な電流を補完することにより、出力インピーダンス特性が一定になる定インピーダンスドライバ回路の提供を目的とする。

R_d : ダンピング抵抗

Z_o : 特性インピーダンス

R_p : 内部抵抗値

R_n : 内部抵抗値

【0009】

【課題を解決するための手段】前記の目的を達成するために、本発明の定インピーダンスドライバ回路は、前段回路の出力端から電流を供給する複数の出力回路からなる定インピーダンスドライバ回路において、前記複数の出力回路のうちの少なくとも1つ以上の出力回路に、その他の出力回路よりも電流を遅らせて出力するための遅延回路からなるスイッチングタイミング遅延機構を具備させ、前記遅延機構を具備する前記出力回路は、前記スイッチングタイミング遅延機構により、前記遅延機構を具備しない他の出力回路から供給される電流が飽和領域に達するタイミングでスイッチングして出力インピーダンス特性を一定にするように構成したことを特徴とする。

【0010】また、本発明の定インピーダンスドライバ回路は、複数の出力回路のうちの少なくとも1つ以上の出力回路に、その他の出力回路よりも電流を遅らせて出力するために、高電位にシフトする基準電位シフト機構を具備させ、前記基準電位シフト機構を具備する出力回路は、前記基準電位シフト機構により、基準電位シフト機構を具備しない他の出力回路から供給される電流が飽和領域に達するタイミングでスイッチングして出力インピーダンス特性を一定にするように構成したことを特徴する。

【0011】また、本発明の定インピーダンスドライバ回路は、複数の出力回路のうちの少なくとも1つ以上の前記出力回路に、その他の出力回路よりも電流を遅らせて出力するために、その他の出力回路よりも負論理のしきい値を低電位にシフトし、正論理のしきい値電位を高電位にシフトするしきい値電位シフト機構を具備させ、前記しきい値電位シフト機構を具備する出力回路は、前記しきい値電位シフト機構により、しきい値電位シフト機構を具備しない他の出力回路から供給される電流が飽和領域に達するタイミングでスイッチングして出力インピーダンス特性を一定にするように構成したことを特徴とする。

【0012】本発明の定インピーダンスドライバ回路の設計方法は、出力回路の出力端電流-電圧曲線を区分的線形を出し、この区分的線形に近似する直線を求めるステップと、前記ステップで求めた区分的線形に近似する直線から出力端電流-電圧曲線の区分点を割り出す区分点解析ステップと、前記区分点解析ステップで割り出した区分点までの遅延時間を割り出す遅延時間解析ステップと、前記遅延時間解析ステップで割り出された遅延時

間が、前記スイッチングタイミング遅延機構からなる前記出力回路の遅延スイッチング時間と、前記スイッチングタイミング遅延機構を設けない前記出力回路のスイッチング時間との差分に等しい時間とするステップと、からなる。

【0013】また、本発明の定インピーダンスドライバ回路の設計方法は、前記遅延時間解析ステップで割り出された遅延時間が、前記基準電位シフト機構からなる前記出力回路の遅延スイッチング時間と、前記基準電位シフト機構を設けない前記出力回路のスイッチング時間との差分に等しい時間とするステップと、からなる。

【0014】また、本発明の定インピーダンスドライバ回路の設計方法は、前記遅延時間解析ステップで割り出された遅延時間が、前記しきい値電位シフト機構からなる前記出力回路の遅延スイッチング時間と、前記しきい値電位シフト機構を設けない前記出力回路のスイッチング時間との差分に等しい時間とするステップとからなる。

【0015】

【発明の実施の形態】以下、本発明の実施例について図面を参照して説明する。それぞれの図で同様な部分には同じ符号を用いているので説明を省略する。

【0016】図4は本発明の定インピーダンスドライバ回路の第1の実施例の回路図、図5は本発明の定インピーダンスドライバ回路の第2の実施例回路図、図6は本発明の定インピーダンスドライバ回路の第3の実施例回路図、図7は本発明の第1、第2、第3の実施例における出力端子B点での電流-電圧特性図である。図8は第3の実施例における論理しきい値シフトの概念図である。
(第1の実施例)まず、図4の第1の実施例が従来と異なる点は、多段スイッチングさせる複数の出力回路によって1つの出力回路を構成する機構にある。この第1の実施例では、出力回路1はPMOSトランジスタとNMOSトランジスタとを直列に接続し、PMOSトランジスタの一端を電源Vddに、NMOSトランジスタの他端をGNDに接続し、ゲートを入力端子Aに、接続点を出力端子Bに接続している。他方の出力回路2は、PMOSトランジスタとNMOSトランジスタとを直列に接続し、PMOSトランジスタの一端を電源Vddに、NMOSトランジスタの他端をGNDに接続し、ゲートを遅延回路3を介して入力端子Aに、接続点を出力端子Bに接続している。

【0017】図4の第1の実施例は、前記するように出力回路2の共通のゲートと入力端子A間に遅延回路3が設けられている。この遅延回路はキャパシタンスを用いて入力端子Aの信号を遅延させる回路である。この定インピーダンスドライバ回路は、このスイッチングタイミング遅延機構を具備することで、前記出力回路1、2間のスイッチングタイミングを遅延させることが可能となる。このスイッチングタイミング遅延機構を設けた出力回路

2のスイッチングタイミングは、前記スイッチングタイミング遅延機構を設けない前記出力回路1から出力端子B点側に供給される電流が飽和領域に達した時点か、またはその前、後にスイッチングする。このように出力回路2のスイッチングを遅延するこれにより、出力端子B点での電流-電圧特性は図7に示すように飽和領域(2)が高Vds(ドレイン-ソース間電位)にシフトする。これを定インピーダンス性としてみた場合、一定な出力インピーダンス特性が確保されたことになる。この点についてさらに説明する。

【0018】いま、電流が前段回路(図示せず)から端子Aに供給されているとする。このとき、出力端子Bの電位は、負荷の状態、負荷インピーダンス及び負荷電源などによって決まる。図2を見て分かるように、定インピーダンス領域(1)では前記出力端子Bの電位は一定な出力インピーダンス特性を示すが、前記出力端子Bの電位Vdsが大きくなると飽和領域(2)に移り、前記定インピーダンス性としてみた場合動的に変化することが分かる。

【0019】ところが、第1の実施例では、前記出力回路1、2と前記出力回路2のゲートに接続されたスイッチングタイミング遅延機構である遅延回路3の作用により、前記出力回路1、2間のスイッチングタイミングを遅延させることができる。このようにスイッチングのタイミングを遅延させることによって、出力回路1から供給される電流が図2の前記飽和領域(2)に達すると、前記出力回路2から電流が供給されることで、前記飽和領域(2)が図7のように見かけ上、高Vdsにシフトしたように見える。このため、前記出力インピーダンス特性が一定となる領域が増大し、負荷とのインピーダンス整合を容易に行えるメリットがある。

【0020】次に、この第1の実施例の定インピーダンスドライバ回路の設計方法を以下に説明する。まず、出力回路の出力端電流-電圧曲線の区分的線形(piecewise-linear)を出し、この区分的線形に近似する直線を求める。前記区分的線形に近似する直線から出力端電流-電圧曲線の区分点を割り出し、この割り出されたこの区分点から、遅延時間を割り出す。

【0021】前記割り出された遅延時間が前記スイッチングタイミング遅延機構(遅延回路3)を設けた前記出力回路2の遅延スイッチング時間と、前記スイッチングタイミング遅延機構を設けない前記出力回路1のスイッチング時間との差分に等しい時間とする。

(第2の実施例)図5の第2の実施例は、出力回路1、2によって構成し、前記出力回路2のソース電位を高く設定することが可能な基準電位シフト機構を具備する定インピーダンスドライバ回路である。この第2の実施例は出力回路2に遅延回路3が設けられておらず、その代わりに、PMOSトランジスタの一端を抵抗を介して電源Vddに、NMOSトランジスタの他端も抵抗を介し

てGNDに接続している。

【0022】この第2の実施例が第1の実施例と相違する点を以下に説明する。端子Aに電流が供給された場合、基準電位シフト機構（出力回路2のPMOSトランジスタの一端の抵抗とNMOSトランジスタの他端の抵抗）を設けた前記出力回路2と、基準電位シフト機構を設けない前記出力回路1の論理しきい値電位レベルが同じならば、前記出力回路1と出力回路2のスイッチングタイミングがずれて、前記出力回路2の電流が出力回路1の電流より遅延して出力端Bに供給される。これは、MOSトランジスタがゲート-ソース間電位V_{gs}によってスイッチングすることと、実際の電流が有限な立ち上がり時間と立ち下がり時間をもつことによる。よって、第1の実施例と同様に、結果的に出力インピーダンス特性を一定にすることが可能である。

【0023】次にこの第2の実施例の定インピーダンスドライバ回路の設計方法を以下に説明する。まず、前記第1の実施例と同様に遅延時間を割り出す。そして、この割り出された遅延時間が、前記基準電位シフト機構からなる前記出力回路の遅延スイッチング時間と、前記基準電位シフト機構を設けない前記出力回路のスイッチング時間との差分に等しい時間とする。

（第3の実施例）図6の第3の実施例は、出力回路1、2がPMOSトランジスタとNMOSトランジスタとを直列に接続され、PMOSトランジスタの一端を電源V_{dd}に、NMOSトランジスタの他端をGNDに接続され、共通のゲートを入力端子Aに、接続点を出力端Bに接続している。

【0024】ただし、出力回路2の正論理しきい値が出力回路1の正論理しきい値より高電位にシフトしており、出力回路2の負論理のしきい値が出力回路1の負論理しきい値より低電位にシフトするしきい値電位シフト機構を具備する定インピーダンスドライバ回路である。図8の破線で示す論理しきい値1を持つ前記出力回路1と、論理しきい値1より正論理が高電位にシフトし、負論理が低電位にシフトした一点鎖線で示した論理しきい値2をもつ出力回路2では、出力回路2のスイッチングタイミングが前記出力回路1のスイッチングタイミングより遅延する。このため、結果的に前記第1、第2の実施例と同様に、前記定インピーダンスドライバ回路の出力インピーダンス特性が一定となる特性を持つこととなる。

【0025】次に、この第3の実施例の定インピーダンスドライバ回路の設計方法を以下に説明する。まず、前記第1の実施例と同様に遅延時間を割り出す。そして、この割り出された遅延時間が、前記しきい値電位シフト機構からなる前記出力回路の遅延スイッチング時間と、前記しきい値電位シフト機構を設けない前記出力回路のスイッチング時間との差分に等しい時間とする。

【0026】前記第1、第2、第3の実施例のいずれも、

電流源として同じ電流供給能力を持ったトランジスタを使用することで、出力インピーダンスが单一のトランジスタを使用した場合の前記出力インピーダンスを超えることがなく、飽和領域のみが高V_{ds}にシフトすることになる。このことは従来例（特開平5-267952）に比べ、電流供給能力を前記トランジスタの能力のみで決定することが可能で、低電流タイプの定インピーダンスドライバ回路を容易に構成できるメリットがある。

【0027】また従来例（特開平5-267952）に比べて、前段回路から出力端Bに電流供給を行う必要がないため、LSI内部の前段回路の出力回路にかかる負荷も少ないというメリットがある。以上のことから本実施例の複数の前記出力回路と前記遅延回路によるスイッチングタイミング遅延機構、基準電位シフト機構、しきい値電位シフト機構を用いることで必要な電流を補完でき、出力インピーダンス特性を一定にすることが可能である。

【0028】なお本発明は、上述した各実施例に限定されるものではなく、その要旨を逸脱しない範囲で、種々変形して実施することができる。前記実施例では、前記遅延回路をキャパシタンスで実現しているが、ラッチ回路やフリップフロップやバッファや抵抗を使用することも可能である。

【0029】また、基準電位シフト機構に関しても、抵抗分圧だけでなく、定電圧源で実現しても可能である。また1つの定インピーダンスドライバ回路中の出力回路も図4、5、6においては2個ずつであるが、複数であっても構わない。前記スイッチングタイミング遅延機構、前記基準電位シフト機構、前記しきい値電位シフト機構も複数の出力回路に具備しても構わない。また複数のトランジスタの電流供給能力や、その他の特性にばらつきがあっても構わない。

【0030】

【発明の効果】以上のように本発明によると、前段回路の出力端から電流を供給する複数の出力回路のうちの少なくとも1つ以上の出力回路に、スイッチングタイミング遅延機構、基準電位シフト機構、しきい値電位シフト機構を設けることにより、出力インピーダンスを单一のトランジスタで電流を供給する場合よりも電流供給量を増やすことなく必要な電流を補完でき、出力端の出力インピーダンス特性を一定にすることが可能である。このような構成によって、従来よりも負荷とのインピーダンス整合を容易に実現できることにより、低電流タイプの前記出力回路においても前記出力インピーダンス特性を一定にすることが可能である。

【図面の簡単な説明】

【図1】従来一般に用いられてるMOSドライバ回路を伝送線路に接続した回路図である。

【図2】図1のB点での出力端電流-電圧特性図である。

【図3】従来例の定インピーダンス出力回路図である。

【図4】本発明の定インピーダンスドライバ回路の第1の実施例回路図である。

【図5】本発明の定インピーダンスドライバ回路の第2の実施例回路図である。

【図6】本発明の定インピーダンスドライバ回路の第3の実施例回路図である。

【図7】本発明の第1、第2、第3の実施例における出力端子B点での電流-電圧特性図である。

【図8】本発明の第3の実施例における論理しきい値シフトの概念図である。

【符号の説明】

1 出力回路
2 出力回路

3 遅延回路

Rd ダンピング抵抗

A 入力端子

B 出力端子

Id s ドレイン-ソース間電流値

Vds s ドレイン-ソース間電位値

(1) 定インピーダンス領域

(2) 飽和領域

Rt 負荷抵抗

Vt 負荷電源

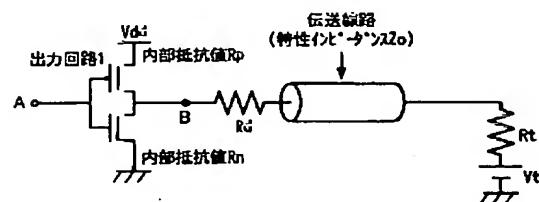
Vdd 電源電位

Vss 接地電位

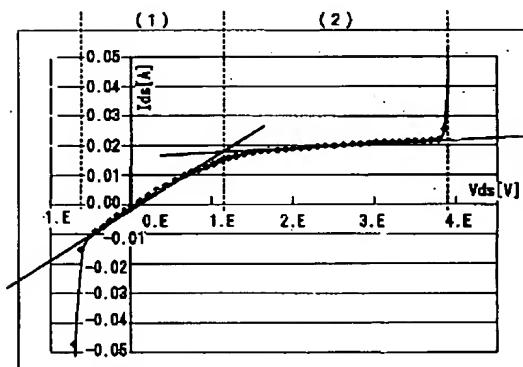
Rgt 入力抵抗

Rgs ゲート・ソース間抵抗

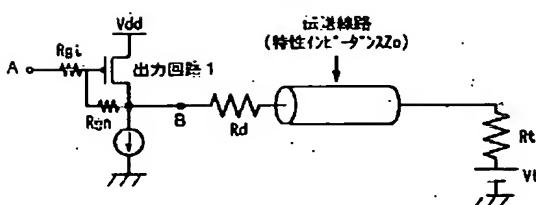
【図1】



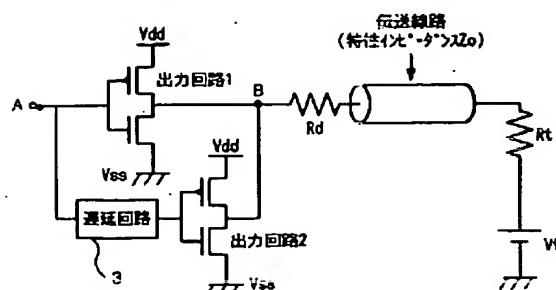
【図2】



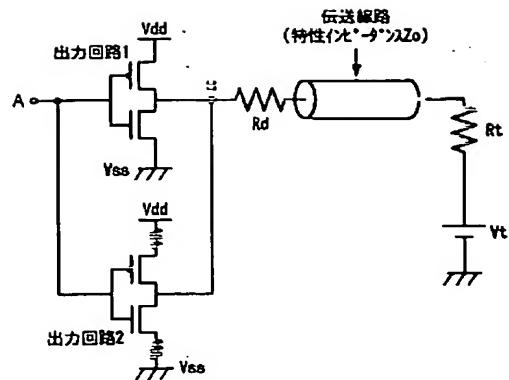
【図3】



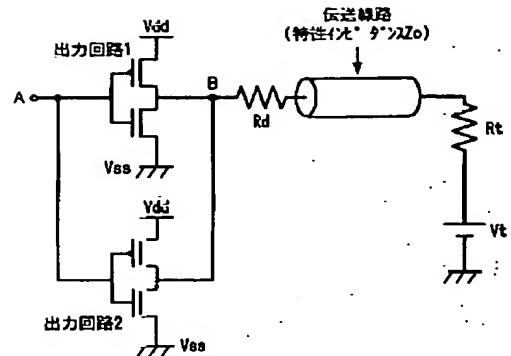
【図4】



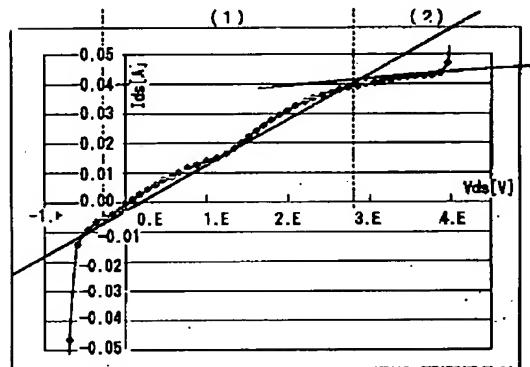
【図5】



【図6】



【図7】



【図8】

